

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274364

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 27/115
G11C 16/04
G11C 16/06
G11C 16/02
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 2000-087642

(71)Applicant : SHARP CORP

(22)Date of filing : 27.03.2000

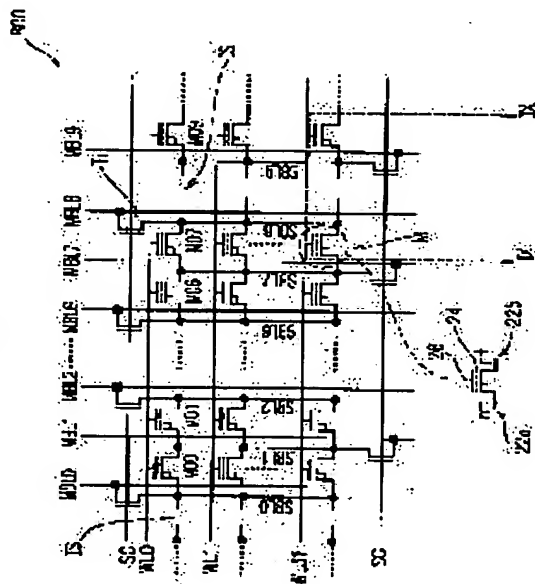
(72)Inventor : ITO NOBUHIKO

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To secure a sufficient read margin concerning an applied voltage in the read operation.

SOLUTION: A non-volatile semiconductor memory device 800 is a memory cell M provided with plural word lines WL, a plurality of bit lines MBL and SBL and a plurality of memory cells M which are respectively composed of a source 22a, a drain 22b, a floating gate 24, and a control gate 26. The device has the virtually grounded array structure of connecting the control gates to the word lines, and commonly connecting the sources of the respective memory cells and the drains of the adjacent memory cells connected to the same word line to one bit line. Among the plurality of memory cells, the plural first memory cells connected to one word line are divided into at least two groups, so that the read operation can be performed for the unit of one group, and between two adjacent groups, an isolation means IS is provided for blocking the flow of a current between the memory cells.



LEGAL STATUS

[Date of request for examination]

09.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274364

(P2001-274364A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4 5 B 0 2 5
G 1 1 C 16/04		G 1 1 C 17/00	6 2 2 C 5 F 0 0 1
16/06			6 3 4 Z 5 F 0 8 3
16/02			6 4 1 5 F 1 0 1
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1

審査請求 未請求 請求項の数 9 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2000-87642(P2000-87642)

(22) 出願日 平成12年3月27日(2000.3.27)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 伊藤 伸彦

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

Fターム(参考) 5B025 AA03 AB01 AC01 AD00 AD04

AD05 AD08 AE08

5F001 AA01 AB02 AD60

5F083 EP02 EP27 EP63 GA06 GA09

KA08 NA01 NA10 ZA21

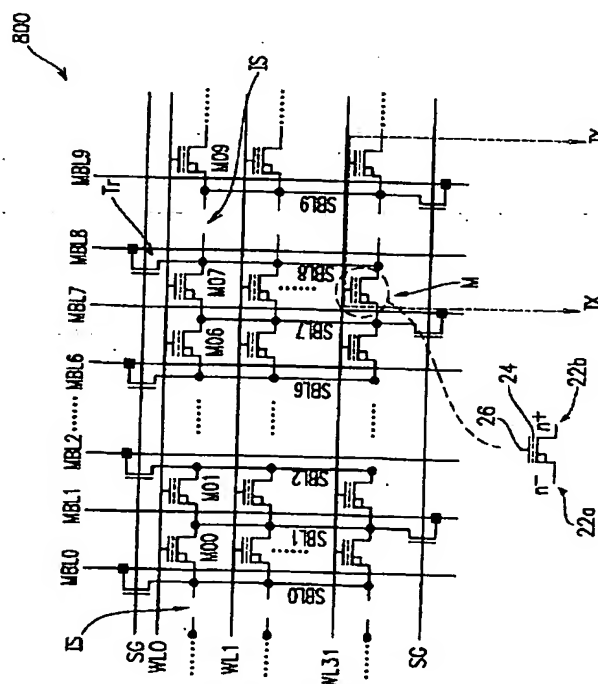
5F101 BA01 BB02 BD35

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】読み出し動作の際に、印加電圧について十分な読み出しマージンを確保できる。

【解決手段】本発明の不揮発性半導体記憶装置800は、複数のワード線WLと、複数のビット線MBL、SBLと、ソース22a、ドレイン22b、浮遊ゲート24および制御ゲート26によりそれぞれ構成される複数のメモリセルMであって、制御ゲートがワード線に接続されており、各メモリセルのソースと、同一のワード線に接続された隣接のメモリセルのドレインとが、共通して1本のビット線に接続されている仮想接地型のアレイ構造を有する、複数のメモリセルと、を備えており、複数のメモリセルのうち、1本のワード線に接続された複数の第1のメモリセルは2以上のグループに分けられ、1グループを単位に読み出し動作が行われるようになっており、隣接の2つのグループの間には、メモリセル間の電流の流れを阻止するためのアイソレーション手段ISが設けられている。



1

【特許請求の範囲】

【請求項1】 複数のワード線と、

複数のビット線と、

ソース領域、ドレイン領域、浮遊ゲートおよび制御ゲートによりそれぞれ構成される複数のメモリセルであって、制御ゲートがワード線に接続されており、各メモリセルのソース領域と、同一のワード線に接続された隣接のメモリセルのドレイン領域とが、共通して1本のビット線に接続されている仮想接地型のアレイ構造を有する、複数のメモリセルと、

を備えており、

該複数のメモリセルのうち、1本のワード線に接続された複数の第1のメモリセルは2以上のグループに分けられ、1グループを単位に読み出し動作が行われるようになっており、隣接の2つのグループの間には、メモリセル間の電流の流れを阻止するためのアイソレーション手段が設けられている、不揮発性半導体記憶装置。

【請求項2】 前記アイソレーション手段は、絶縁膜により形成されている、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記アイソレーション手段は、前記メモリセルのチャネル領域に対応する領域に設けられている、請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記アイソレーション手段は、前記複数の第1のメモリセルよりしきい値の高い状態の第2のメモリセルにより構成されている、請求項1に記載の不揮発性半導体記憶装置。

【請求項5】 前記第2のメモリセルについて、消去動作が行われる前に一度書き込み動作が行われている、請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 前記第1のメモリセルは、書き込みにより異なる値のしきい値が設定されることにより、複数のデータが記憶されている、請求項1から5のいずれかに記載の不揮発性半導体記憶装置。

【請求項7】 前記第1のメモリセルに異なる値の複数のしきい値のデータが書き込まれる場合、前記第2のメモリセルは、該複数のしきい値のうち値が1番高いデータ、または2番高いデータが記憶されていることにより、該第2のメモリセルを用いて1つのデータが記憶される、請求項4または5に記載の不揮発性半導体記憶装置。

【請求項8】 読み出しにおいて、前記1グループについて、読み出しが行われる読み出しメモリセルのソース領域は0Vの電圧が印加され、該読み出しメモリセルのドレイン領域は1Vの電圧がプリチャージされた後にフローティング状態とされ、

該1グループ内において、該読み出しメモリセルの該ソース領域側のメモリセルに接続されるすべてのビット線は0Vの電圧とされ、該読み出しメモリセルの該ドレイン領域側のメモリセルに接続されるすべてのビット線は

2

1Vの電圧がプリチャージされた後にフローティング状態とされるようになっている、請求項1から7のいずれかに記載の不揮発性半導体記憶装置。

【請求項9】 前記メモリセルのソース領域とドレイン領域とはトランジスタを介して互いに接続されている、請求項1から8のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は不揮発性半導体記憶装置、特に、浮遊ゲート型不揮発性メモリセルにより構成され、仮想接地型のメモリアレイ構造を有する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】高集積化を図る目的で、同一ビット線を2つのメモリセルが共有する仮想接地型の、メモリアレイ構造をもつフラッシュメモリ（不揮発性メモリ）が提案されている。その例として、例えば、IEDM Technical Digest, pp 269-270, 1995 "A New cell Structure for Subquarter Micron High Density Flash Memory" や、電気情報通信学会信学技報、ICD 97-21, P 37, 1997 "ACT型フラッシュメモリのセンス方式の検討" で発表されたACT (Asymmetrical Contactless Transistor) 型フラッシュメモリが挙げられる。このACT型フラッシュメモリは、プログラム（書き込み）/イレーズ（消去）の動作においてFN (Fowler-Nordheim) トンネル現象を用いており、データストレージ型のものとして利用すると予想される。

【0003】図1および2を参照しながら、ACT型フラッシュメモリ100の構成を説明する。

【0004】図1は、ACT型フラッシュメモリ100の平面構成を示す。図1に示されるように、ACT型フラッシュメモリ100は、複数のワード線WL (WL0, WL1, ..., WL31) と、複数のメインビット線MBL (MBL0, MBL1, ..., MBL16) と、複数のメインビット線MBLにそれぞれ対応して設けられた複数のサブビット線SBL (SBL0, SBL1, ..., SBL16) と、複数のワード線WLと複数のメインビット線MBLとの交差点付近に設けられ、マトリクス状に配列している複数のACT型フラッシュメモリ素子（メモリセル）Mとを備えている。メインビット線MBLはメタル層により形成され、サブビット線SBLは拡散層により形成されている。ACT型フラッシュメモリ100は、さらに、トランジスタTrを制御することにより、所望のビット線（MBLおよびSBL）を選択するためのセレクトゲート選択信号線SGを有する。セレクトゲート選択信号線SGには6Vの電圧が印加され、これにより、セレクトゲート選択信号線SGに接続されているゲートをもつセレクトトランジスタTrがオン状態となる。メモリセルMは、ソース22

3

a、ドレイン22b、浮遊ゲート24および制御ゲート26により構成される。

【0005】メインビット線MBLとサブビット線SBLとはメタル-拡散間コンタクト（図1において、黒四角で示す）により互いに接続され、メモリセルMのソース22aおよびドレイン22bは、拡散層（図1において、黒丸で示す）によりサブビット線SBLに接続されている。メモリセルMのソース22aと、同一のワード線WLに接続された隣接のメモリセルMのドレイン22bとが、共通して1本のサブビット線SBLに接続されており、仮想接地型のアレイ構造となっている。

【0006】書き込みおよび消去にFNTトンネル現象を利用するACT型フラッシュメモリ100は、メインビット線MBLとサブビット線SBLという2つのビット線を有しかつ、ビット線の一部であるサブビット線SBLを拡散層により形成している。このことにより、コンタクト数が減少し、アレイ面積が著しく縮小するので、高集積化が可能となる。

【0007】ACT型フラッシュメモリ100の断面構造を、図2を参照しながら説明する。図2は、図1における線II-IIに沿った断面図である。

【0008】ACT型フラッシュメモリ100は、基板（p-ウェル）20にサブビット線SBLを構成する拡散層21が形成されており、拡散層21の一部がメモリセルMのソース22aおよびドレイン22bを構成する。ソース22aとドレイン22bとの間にはチャネル領域22cが存在する。さらに、基板20の上には、層間絶縁層23を介してフローティングゲート24、コントロールゲート26が設けられている。コントロールゲート26は、ワード線WLにより互いに接続されている。ワード線WLの上部には、層間絶縁層23を介してメインビット線MBLが設けられている。なお、隣り合うフローティングゲート24の端部下方に設けた、隣接の2つのメモリセルMの共通のサブビット線SBLは、ソース22a側とドレイン22b側とでドナー濃度が異なっている。

【0009】以下に、ACT型フラッシュメモリ100の書き込み、消去および読み出し動作を説明する。

【0010】まず、図3を参照しながら、ACT型フラッシュメモリ100の書き込み動作（プログラム）について述べる。図3は、図1に対応する構成を示し、書き込み時に各部分に印加される電圧を示している。ここでは、メモリセルM01およびM04に対し書き込みを行う場合を例に説明する。

【0011】セレクトゲート選択信号線SGには6Vの電圧が印加され、この信号線に接続されているゲートをもつセレクトトランジスタTrがオン状態となる。そして、書き込みを行うメモリセルM01とM04の各コントロールゲート26が接続されているワード線WL0線には負の高電圧Vneg（例えば、-12V）を印加す

4

る。一方、書き込みがなされないメモリセルの各コントロールゲートが接続されているワード線WL1~WL31には基準電圧（例えば、0V）を印加する。そして、メモリセルM01とM04のドレイン22b（n⁺型）に書き込み電圧を印加するために、メインビット線MBL2およびMBL5に正の電圧（例えば、4V）を印加する。メインビット線MBL2およびMBL5に印加される電圧は、メインビット線から、メタル-拡散層間コンタクト、セレクトトランジスタTr、サブビット線SBL2またはSBL5を介して、メモリセルM01およびM04のドレイン22bに印加される。また、ソース22aに接続されるサブビット線SBL1およびSBL4は、オープンとしフローティング状態にする。さらに、書き込みが行われないメモリセルのドレイン22bおよびソース22aが接続されているメインビット線MBL0、MBL1、MBL3、MBL4、MBL6、MBL7、MBL8もフローティング状態にする。なお、基板（p-ウェル）20（図2参照）は基準電圧（例えば、0V）にする。

【0012】このような電圧条件により、メモリセルM01とM04の各ドレインサイドでFNTトンネル現象が発生し、各フローティングゲート24から各ドレイン22b（n⁺型）に電子が引き抜かれ、メモリセルM01とM04のしきい値が低下する。

【0013】書き込みは、一般的には、書き込みと、書き込みによるメモリセルのしきい値を検証するベリファイとを交互に行い、メモリセルのしきい値を検証しながら所定の値になるように動作する。ベリファイを行うことにより、メモリセルのしきい値が例えば1~2V程度に低下したことを確認できれば書き込み動作を終える。なお、書き込みが行われないメモリセルは、書き込み前のしきい値、例えば消去状態のしきい値を維持している。

【0014】次に、消去動作（イレース）について、図4を参照しながら説明する。

【0015】消去は、ACT型フラッシュメモリ100の全メモリセルを一括して行うか、複数のメモリセルMが1以上のブロックに分割されている場合は、ブロックを単位に行ってもよい。図4において、メモリセルMが2つのブロックに分割されている様子が示されている。ここでは、セレクトゲート選択信号線SG0により選択されるブロック0を消去する場合について述べる。

【0016】セレクトゲート選択信号線SG0には0Vの電圧が印加され、この信号線に接続されているゲートをもつセレクトトランジスタTr0がオン状態となる。一方、消去を行わないブロック1に対応するセレクトゲート選択信号線SG1には-9Vの電圧が印加され、この信号線に接続されているゲートをもつセレクトトランジスタTr1はオフ状態となる。そして、ブロック0のメモリセルM0のコントロールゲート26に接続された

5

ワード線WL0~WL31には正の高電圧(例えば、12V)を、基板(p-ウェル)20(図2参照)には負の高電圧(例えば、-9V)を印加する。また、全てのメインビット線MBL0~MBL8にも負の高電圧(例えば、-9V)を印加する。

【0017】このような電圧印加により、セレクトトランジスタTr0がオンとなっているブロック0では、メインビット線MBLから、メタル-拡散層間コンタクト、セレクトトランジスタTr0およびサブビット線SBLを介して、-9Vの電圧がメモリセルM0のドレイン22bとソース22aに印加される。これにより、ブロック0内の全メモリセルM0のチャネル領域22c(図2参照)において、FNトンネル現象が発生し各チャネル領域22cから各フローティングゲート24に電子が注入され、メモリセルのしきい値が上昇する。

【0018】通常、上記の消去と、メモリセルのしきい値を検証するペリファイとを交互に行い、メモリセルのしきい値を検証しながら所定の値になるように動作する。ペリファイを行うことにより、メモリセルのしきい値が例えば4~6V程度に上昇したことを確認できれば消去動作を終える。

【0019】一方、消去が行われないブロック1においては、セレクトトランジスタTr1がオフとなっているため、ブロック1内のメモリセルM1のドレイン22bとソース22aはフローティング状態となっている。また、ブロック1内のワード線WL32~WL63には基準電圧(例えば、0V)が印加されているので、消去は行われない。

【0020】最後に、図5を参照しながら、読み出し動作(リード)について説明する。図5は、書き込み動作について参照した図3に対応する構成を示す。ここでは、メモリセルM02およびM07に対し読み出しを行う場合を例に説明する。

【0021】セレクトゲート選択信号線SGには3Vの電圧が印加され、この信号線に接続されているゲートをもつセレクトトランジスタTrがオン状態となる。そして、読み出しを行うメモリセルM02とM07の各コントロールゲート26が接続されているワード線WL0線には正の電圧(例えば、3V)を印加する。一方、読み出しがなされないメモリセルMの各コントロールゲート26が接続されているワード線WL1~WL31には基準電圧(例えば、0V)を印加する。なお、基板(p-ウェル)20(図2参照)は基準電圧(例えば、0V)にする。

【0022】読み出しが行われるメモリセルM02のソース22a側のメモリセルM00、M01に接続する、3本のメインビット線MBL0、MBL1、MBL2には0Vの電圧を印加する。また、メモリセルM02のドレイン22b側のメモリセルM03、M04に接続する、2本のメインビット線MBL3、MBL4については、

6

1Vの電圧をプリチャージした後にフローティング状態にする。そして、次のメインビット線MBL5線には、回り込み電流を阻止するために1Vの電圧を印加する。さらに続く2本の隣接するメインビット線MBL6、MBL7には、メインビット線MBL3、MBL4と同様に、1Vの電圧をプリチャージした後にフローティング状態にする。

【0023】図5の例では、8ビット単位(MBL8n~MBL8n+7、n=0、1、2、3、.....)で、上記の電圧パターンを繰り返して印加する。上記の電圧は、セレクトトランジスタTrがオンとなることにより、メインビット線MBLからメタル-拡散層間コンタクト、セレクトトランジスタTr、サブビット線SBLを介して、メモリセルMのドレイン22bおよびソース22aに印加される。

【0024】このような電圧印加により、メモリセルM02およびM07のドレイン-ソース間に1Vの電位差が生じ、ワード線WL0線に印加されているワード線電圧(例えば、3V)よりメモリセルMのしきい値が低ければ(例えば、1~2V程度の書き込み状態のメモリセルのしきい値)、メモリセルMに電流が流れ、プリチャージされていた電圧が降下する。また、メモリセルのしきい値が3Vより高ければ(例えば、4~6V程度の消去状態のメモリセルのしきい値)メモリセルには電流は流れず、プリチャージされていた電圧の降下は起こらない。これらの電圧の変化は、メインビット線MBL3とMBL7の先端部にそれぞれ接続されている、入力段がハイインピーダンス状態のセンスアンプ(不図示)により検出され、データ0もしくは1として読み出される。なお、ワード線WL1~WL31には0Vの電圧が印加されることで、読み出しは行われない。

【0025】以上のように、仮想接地型アレイ構成を有するACT型フラッシュメモリの書き込み、消去および読み出しが行われる。

【0026】ところで、ACT型フラッシュメモリは仮想接地型アレイ構造であるので、同一のワード線につながっているメモリセルは、互いに電気的に接続された状態となっている。このため、1つのメモリセルに対して読み出しを行うときに、読み出し動作が周辺のメモリセルの状態から影響を受ける問題がある。

【0027】この問題を図6を用いて説明する。図6では、説明を簡略化するために、読み出しを行うメモリセルM1のコントロールゲート26が接続されているワード線WL、およびそれに接続されているメモリセルM1~M8のみが示されている。図5に示されるメインビット線MBL、セレクトトランジスタTrなどは省略している。図6において、メモリセルM1~M8はしきい値の低い(2V以下)書き込み状態と仮定する。

【0028】まず、ワード線WLに、例えば、3Vの電圧を印加する。メモリセルM1のソース22aにつな

7

るサブビット線SBL0には0Vの電圧を印加する。一方、メモリセルM1のドレイン22bにつながるサブビット線SBL1は、プリチャージとして1Vの電圧が印加された後、フローティング状態にする。また、隣接するメモリセルM2のドレイン22bにつながるサブビット線SBL2も、プリチャージとして1Vの電圧が印加された後に、フローティング状態にする。さらに、メモリセルM4～M8への回り込み電流を阻止するために、サブビット線SBL3には1Vの電圧が印加される。この電圧は図5に関して説明した、メインビット線MBL5に印加した電圧に相当する。

【0029】サブビット線SBL3に1Vの電圧を印加する意義は、次の通りである。読み出すべきメモリセルM1がしきい値の高い状態（4V以上）、メモリセルM2～M8がしきい値の低い状態（2V以下）の場合を考える。もし、サブビット線SBL3への1Vの電圧印加がないと、メモリセルM8のドレインにつながるサブビット線SBL8に0Vの電圧が印加されていることにより、電流が、プリチャージされたサブビット線SBL1から、しきい値が低いメモリセルM2～M8を経て、サブビット線SBL8に向かって流れてしまう。このため、本来電圧が低下しないはずのサブビット線SBL1は電圧が低下し、その結果、メモリセルM1は書き込み状態と誤って読み出されてしまうことになる。サブビット線SBL3に1Vの電圧を印加することにより、メモリセルM4～M8のしきい値状態がメモリセルM1の読み出しに影響を与えることがなくなる。

【0030】しかし、サブビット線SBL3に印加される1Vの電圧により、本来読み出すべきメモリセルM1のしきい値の方が低い場合（しきい値は2V以下の書き込み状態）は、プリチャージされているサブビット線SBL1、SBL2の電位が低下していくと、しきい値が低く書き込み状態であるメモリセルM2、M3を介して、サブビット線SBL3からメモリセルM1に電流が流れることになる。この不要な回り込み電流がアレイノイズとなり、それにより、低抗の高い拡散層で形成されているサブビット線の電位が上昇し、メモリセルM1のソース22a電圧は0Vより高くなってしまう。その結果、メモリセルM1のドレイン22bにつながるサブビット線SBL1にプリチャージされている1Vの電位の低下は減少する、すなわち、メモリセルM1のソース22aとドレイン22bとの電位差が低減する。このことにより、サブビット線SBL1に接続されているセンスアンプ（図示せず）により電流を検出すると、メモリセルM1のしきい値は見かけ上高くなったような結果となる。

【0031】以上のような、1つのメモリセルに2値のデータ（書き込みと消去）を記憶する場合であれば、読み出しマージン、すなわち書き込み状態の2V以下と消去状態の4V以上の範囲がある程度確保されているた

8

め、メモリセルのしきい値の見かけ上の変化はまだ大きな問題とはならない。

【0032】

【発明が解決しようとする課題】ところで、より高集積化を図るための試みの1つとして、1つのメモリセルに3値以上のしきい値を導入する多値技術が発表されている。例えば、1997 ISSCC Dig. Tech. Papers, pp 36-37 "A 98mm² 3.3V 64Mb Flash Memory with FN-NOR Type 4-level cell" や、特開平6-177397号公報に記載された方法が挙げられる。これらの方法によれば、FN-NOR型のフラッシュメモリを用いて、書き込みデータによりドレイン電圧を変え、書き込むべきフラッシュメモリセルに同時に書き込みパルスを印加するようになっている。また、近年では、1999 ISSCC Dig. Tech. Papers, pp 110-111 "A 256Mb Multilevel Flash Memory with 2MB/s Program Rate for Mass Storage Applications" に記載されたような方法も報告されている。この文献において、多値データの読み出し方式および各セクター毎のデータ書き換え方式が提案されている。

【0033】このように、メモリセルに記憶されるデータの多値化が進んでくると、読み出しマージンは減少し、その結果、誤読み出しのおそれが増大するという問題が生じる。この問題を図7を参照しながらより詳細に説明する。

【0034】図7は、多値、例えば4値のデータをメモリセルに記憶する場合の、各データについてのしきい値分布の概略を示す。図7に示すように、各データが書き込まれた時のメモリセルのしきい値分布は、データ“00”の場合例えば0.6～1.0V、データ“01”の場合例えば1.6～2.0V、データ“10”の場合例えば2.6～3.0V、データ“11”の場合例えば3.6V以上（消去状態）となる。

【0035】これらデータの書き込み、消去および読み取りは次のように行われる。書き込み動作について、書き込むべきメモリセルのコントロールゲートに接続されたワード線に負の高電圧を印加し、書き込むべきメモリセルのドレインに印加する電圧を、データにより、書き込み電圧を変えるか、もしくは書き込み時間を変えることで多値データとしてメモリセルに書き込む。なお、この時、書き込みとしきい値電圧を検証するベリファイとを交互に行いながら、しきい値電圧を所望の値になるようにする。

【0036】消去動作は、先に説明した2値の場合と同じ方法で、ブロック単位でもしくは一括して行う。

【0037】読み出し動作については、図7に示すように、まず、読み出し電圧②（例えば、2.3V）をワード線に印加し、読み出すべきメモリセルに電流が流れる（プリチャージされた電圧が低下する）かどうかを検出する。電流が流れればメモリセルのデータは“00”か“01”であると分かる。次に、読み出し電圧①（例え

9

ば、1.3V)をワード線に印加し、これによりメモリセルに電流が流れれば(プリチャージされた電圧が低下すれば)、メモリセルに書き込まれているデータが“00”と判定され、メモリセルに電流が流れない(プリチャージされた電圧が低下しない)場合はデータ“01”と読み出すことになる。

【0038】一方、上記の読み出し電圧②で電流が流れない場合は、読み出し電圧③(例えば、3.3V)をワード線に印加することで、上記と同様な原理により、データ“10”とデータ“11”を読み出すことができる。このような読み出し方法は、1つの例であり他の方法を用いてもよい。

【0039】上記のような読み出しの場合、図6に関して説明した回り込み電流により、各データのしきい値が見かけ上高い側にシフトしたようになり、図7における破線部(a)および(b)に示されるように、しきい値分布の広がりが起こる。データ“11”が書き込まれたメモリセルについては、最も高い読み出し電圧③で読み出すため、他のデータが書き込まれたメモリセルには電流は流れず、よって、回り込み電流は発生せず、しきい値の見かけ上の広がり発生しない。一方、データ“00”が書き込まれたメモリセルは、逆に最も低い読み出し電圧①をワード線に印加して読み出すため、他のデータが書き込まれているメモリセルでは電流が流れない。また、データ“00”が書き込まれたメモリセルについて、その近傍に存在するビット線にプリチャージされた電位により、バックゲート効果が働き電流が流れにくくなるため、回り込み電流は、データ“01”のメモリセルおよびデータ“10”のメモリセルと比較して格段に少ない。このため、データ“00”のしきい値の見かけ上の広がり、データ“01”およびデータ“10”の場合に比べて無視できる。

【0040】上記のように、データ“01”もしくはデータ“10”を読み出す際は、同一のワード線につながるメモリセルアレイの中より低いしきい値をもったメモリセルを介して、回り込み電流が流れるという問題が発生する。この不要な電流の影響を受け、前で説明したように、抵抗の高い拡散層で形成されたサブビット線の電位が上昇し、本来読み出しを行うメモリセルに接続されるビット線にプリチャージされた電圧の低下が減少し、結果として図7に示すような、見がけ上しきい値分布が高い値の方にシフトしたような広がりを見せる。

【0041】このため、データ“01”とデータ“10”のしきい値分布の分離幅は、回り込み電流によるしきい値分布の広がりが例えば0.2~0.3V程度発生すると、当初の0.6Vの狭い分離幅からさらに半減し、読み出しマージンが低下してしまう。しきい値分布の変位がさらに進むと、最悪の場合、読み出し誤りを起こすこともある。また、読み出しマージンが減少すると、不揮発性半導体装置の製造条件を厳しくなり、使用

10

温度や電源電圧などの仕様についての要求も厳しくなる。このような現状では、更なる多値化(4値以上)は非常に困難となる。

【0042】本発明は、上記事情に鑑みてなされたものであって、その目的とするところは、読み出し動作の際、特に多値化したデータの読み出し動作においても十分な読み出しマージンを確保できる、不揮発性半導体記憶装置を提供することである。

【0043】

10 【課題を解決するための手段】本発明による不揮発性半導体記憶装置は、複数のワード線と、複数のビット線と、ソース領域、ドレイン領域、浮遊ゲートおよび制御ゲートによりそれぞれ構成される複数のメモリセルであって、制御ゲートがワード線に接続されており、各メモリセルのソース領域と、同一のワード線に接続された隣接のメモリセルのドレイン領域とが、共通して1本のビット線に接続されている仮想接地型のアレイ構造を有する、複数のメモリセルと、を備えており、該複数のメモリセルのうち、1本のワード線に接続された複数の第1のメモリセルは2以上のグループに分けられ、1グループを単位に読み出し動作が行われるようになっており、隣接の2つのグループの間には、メモリセル間の電流の流れを阻止するためのアイソレーション手段が設けられており、そのことにより上記目的が達成される。

【0044】ある実施形態では、前記アイソレーション手段は、絶縁膜により形成されている。前記アイソレーション手段は、好ましくは、前記メモリセルのチャネル領域に対応する領域に設けられている。

【0045】ある実施形態では、前記アイソレーション手段は、前記複数の第1のメモリセルよりしきい値の高い状態の第2のメモリセルにより構成されている。前記第2のメモリセルについて、消去動作が行われる前に一度書き込み動作が行われている。

【0046】ある実施形態では、前記第1のメモリセルは、書き込みにより異なる値のしきい値が設定されることにより、複数のデータが記憶されている。

【0047】ある実施形態では、前記第1のメモリセルに異なる値の複数のしきい値のデータが書き込まれる場合、前記第2のメモリセルは、該複数のしきい値のうち値が1番高いデータ、または2番高いデータが記憶されていることにより、該第2のメモリセルを用いて1つのデータが記憶される。

【0048】読み出しにおいて、前記1グループについて、読み出しが行われる読み出しメモリセルのソース領域は0Vの電圧が印加され、該読み出しメモリセルのドレイン領域は1Vの電圧がプリチャージされた後にフローティング状態とされ、該1グループ内において、該読み出しメモリセルの該ソース領域側のメモリセルに接続されるすべてのビット線は0Vの電圧とされ、該読み出しメモリセルの該ドレイン領域側のメモリセルに接続さ

11

れるすべてのビット線は1Vの電圧がプリチャージされた後にフローティング状態とされるようになっている。

【0049】前記メモリセルのソース領域とドレイン領域とはトランジスタを介して互いに接続されている。

【0050】

【発明の実施の形態】（第1の実施形態）以下に、本発明による不揮発性半導体記憶装置の第1の実施形態を説明する。図8は、本発明による不揮発性半導体記憶装置800の平面構成を示す。図8に示されるように、不揮発性半導体記憶装置800は、複数のワード線WL（WL0、WL1、……、WL31）と、複数のメインビット線MBL（MBL0、MBL1、……、MBL9）と、複数のメインビット線MBLにそれぞれ対応して設けられた複数のサブビット線SBL（SBL0、SBL1、……、SBL9）と、複数のワード線WLと複数のメインビット線MBLとの交差点付近に設けられ、マトリクス状に配列している複数の不揮発性半導体メモリ素子（メモリセル）Mとを備えている。メインビット線MBLはメタル層により形成され、サブビット線SBLは拡散層により形成されている。不揮発性半導体記憶装置800は、さらに、トランジスタTrを制御することにより、所望のビット線（MBLおよびSBL）を選択するためのセレクトゲート選択信号線SGを有する。セレクトゲート選択信号線SGに信号電圧を印加することにより、この信号線に接続されるゲートをもつセレクトトランジスタTrがオン状態となる。なお、メモリセルMは、ソース22a、ドレイン22b、浮遊ゲート24および制御ゲート26により構成される。

【0051】メインビット線MBLとサブビット線SBLとはメタル-拡散間コンタクト（図8において、黒四角で示す）により互いに接続され、メモリセルMのソース22aおよびドレイン22bは、拡散層（図8において、黒丸で示す）によりサブビット線SBLに接続されている。メモリセルMのソース22aと、同一のワード線WLに接続された隣接のメモリセルMのドレイン22bとが、共通して1本のサブビット線SBLに接続されており、仮想接地型のアレイ構造となっている。

【0052】さらに、不揮発性半導体記憶装置800において、1本のワード線WLに接続された複数のメモリセルM（第1のメモリセル）は2以上のグループに分けられ、隣接の2つのグループの間には、メモリセル間の電流の流れを阻止するためのアイソレーション構造（アイソレーション手段）ISが設けられている。図8において、隣接するメモリセルM07とM09のソースとドレインが共有するサブビット線SBLが分離されている部位がアイソレーション構造ISの領域となっている。ここでは、同一のワード線WLにつながったメモリセルMの8個を1グループとし、各グループ毎にアイソレーション構造を配置し、このパターンを繰り返すものとなっている。本発明において、読み出し動作は、1グルー

12

ブを単位で行われる。なお、図8において、8個のメモリセルMが1グループを構成しているが、1グループ内のメモリセルMの数は8に限定されることなく、他の値にしてもよいことは言うまでもない。

【0053】なお、図8においては、アイソレーション手段ISは、各行に、同一な間隔でかつ横方向において同様な位置に設けられているように示されているが、本発明はこのことに限定されない。ワード線毎にアイソレーション手段ISの位置が異なってもよい。これは下記の実施形態についても同様である。

【0054】不揮発性半導体記憶装置800の断面構成について、図9を用いて説明する。図9は図8における線IX-IXに沿った断面図である。

【0055】不揮発性半導体記憶装置800は、基板（p-ウェル）20にサブビット線SBLを構成する拡散層21が形成されており、拡散層21の一部がメモリセルMのソース22aおよびドレイン22bを構成する。ソース22aとドレイン22bとの間にはチャンネル領域22cが存在する。さらに、基板20の上には、層間絶縁層23を介してフローティングゲート24、コントロールゲート26が設けられている。コントロールゲート26は、ワード線WLにより互いに接続されている。ワード線WLの上部には、層間絶縁層23を介してメインビット線MBLが設けられている。なお、隣り合うフローティングゲート24の端部下方に設けた、隣接の2つのメモリセルMの共通のサブビット線SBLは、ソース22a側とドレイン22b側とでドナー濃度が異なっている。

【0056】本実施形態において、アイソレーション構造ISは、メモリセルMのチャンネル領域22cに対応する領域、すなわち、本来メモリセルMのフローティングゲート24の下部に位置するチャンネル領域22cとなるべき部分に形成されている。その形成方法について、例えば、本来チャンネル領域22cとなる領域をエッチングにて取り除き、酸化膜などの絶縁膜を用いてトレンチ分離を行うなどの既知の技術で形成可能であるが、ここではシャロートレンチアイソレーションで形成するのが好ましい。このような構成では、アイソレーション領域の上にはフローティングゲート24などを本来のメモリセル同様に配置するため、フローティングゲート24などが等間隔の規則性をもつパターンを維持したまま、アイソレーション構造ISを形成できる。

【0057】以下に、図10を参照しながら、本発明の不揮発性半導体記憶装置800を用いた読み出し動作を説明する。なお、書き込みおよび消去動作は、基本的には従来技術に関して述べた方法と同様であるので、その説明を省略する。

【0058】図10では、説明を簡略化するために、読み出しを行うメモリセルM2のコントロールゲート26が接続されているワード線WL、およびそれに接続され

13

ているメモリセルM1~M9のみが示されている。図8に示すようなメインビット線MBL、セレクトトランジスタTrなどは省略している。

【0059】1本のワード線につながるメモリセルMの読み出し動作は、1つのメモリセルMの読み出し動作を、8回繰り返すことで、全メモリセルMを読み出ようにしている。また、メモリセルMのしきい値は、従来技術の場合と同様に、書き込み状態については2V以下、消去状態については4V以上の値とする。ここでは、メモリセルM2を読み出す場合を例に説明する。

【0060】まず、ワード線WLには読み出し用電圧として、例えば、3Vの電圧が印加される。メモリセルM2のソース22aにつながるサブビット線SBL1には0Vの電圧が印加される。さらにメモリセルM2のソース22a側に隣接するメモリセルM1のソース22aにつながるサブビット線SBL0にも0Vの電圧が印加される。これは、抵抗の高い拡散層で形成されているサブビット線SBLが、読み出し時に流れる電流により電位が0Vから浮き上がることを抑制するためのものである。これにより、メモリセルM1が書き込み状態でしきい値が低い値(2V以下)であってもメモリセルM1を介して回り込み電流が流れることはない。

【0061】一方、読み出しを行うメモリセルM2のドレイン22bに接続されているビット線SBL2は、プリチャージとして1Vの電圧を印加した後、フローティング状態にする。さらに、メモリM2のドレイン22b側のメモリセルM3~M8のドレイン22bに接続されているサブビット線SBL3~SBL8も、1Vの電圧をプリチャージした後、フローティング状態にする。図10に示すような電圧印加パターンを、8メモリセル(1グループ)毎に繰り返す。

【0062】このような電圧印加により、メモリセルM3~M8が書き込み状態でしきい値の低い値(2V以下)となっても、バックゲート効果により、メモリセルM3~M8を介して回り込み電流が流れることはない。よって、発生する電流は読み出すべきメモリセルM2を流れる電流のみとなる。メモリセルM2が書き込み状態の場合、セルに電流が流れ、それにより1Vの電位にプリチャージされたドレイン電圧が低下する。一方、メモリセルM2が消去状態であれば、セルに電流が流れないため、1Vにプリチャージされた電圧は低下しないことになる。このドレイン電圧の変化を、ドレインにつながっているビット線に接続されているセンス回路(不図示)にて検出し、データ“1”またはデータ“0”として読み出すことになる。

【0063】この読み出し動作を、アイソレーション構造IS間の各メモリセルMに対し行うことで、同一のワード線につながっている全てのメモリセルMの読み出しを完了することができる。本実施形態では、8回の上記の読み出し動作を行うことで、同一のワード線につな

14

っているすべてのメモリセルMの読み出しを完了することができる。

【0064】本実施態様によれば、不要な回り込み電流が発生しないため、従来技術で問題となった見かけ上、しきい値が高い状態として検出されることによるしきい値分布の広がりはなく、その結果、読み出しマージンが不要に狭くなってしまう問題は解決できる。

【0065】また、本実施形態において、上述したように、アイソレーション構造ISがメモリセルMのチャネル領域22cに対応する領域に設けられるので、フローティングゲート24などが等間隔の規則性をもつパターンを維持したまま、アイソレーション構造ISを形成できる。このことは、特性の揃った安定したメモリセルの形成に寄与する。フローティングゲートの形状などは、通常、メモリセルの特性に大きな影響を与える。その形状の精度は製造工程における露光条件やエッチング条件により左右されるが、これらの条件は先のパターンの影響を強く受ける。本実施形態によれば、規則性を保ったフローティングゲートのパターンを維持することができ、規則性が崩れた際に発生する露光時の光の干渉の影響によるフローティングゲートなどの形状のばらつきは発生せず、特性の揃ったかつ安定したメモリセルを形成できる。

【0066】(第2の実施形態)以下に、本発明による不揮発性半導体記憶装置の第2の実施形態を説明する。本実施形態と第1の実施形態との違いは、アイソレーション手段として、絶縁膜を用いたトレンチ分離によるアイソレーション構造IS(第1の実施形態関係の図9参照)の代わりに、他のメモリセルよりしきい値の高いメモリセルを用いる点にある。より詳細には、本実施形態では、アイソレーション構造ISを特別に設けることなく、例えば、しきい値の高い消去状態のメモリセルをアイソレーション手段とする。なお、本実施形態による不揮発性半導体記憶装置の、アイソレーション手段以外の構成は第1の実施形態の場合と同様である。

【0067】図11を参照しながら、本実施形態の不揮発性半導体記憶装置を用いた読み出し動作を説明する。図11は図10に示す構成に基本的には対応しており、説明を簡略化するために、読み出しを行うメモリセルM2のコントロールゲート26が接続されているワード線WL、およびそれに接続されている一部のメモリセルM1、M2、M3、M4、M5、.....、Mnのみが示されている。図8に示すようなメインビット線MBL、セレクトトランジスタTrなどは省略している。なお、書き込みおよび消去動作は、基本的には従来技術に関して述べた方法と同様であるのでその説明を省略する。

【0068】図11において、メモリセルMn(第2のメモリセル)がアイソレーション手段として機能する。メモリセルMnは、その間に存在するメモリセルM1、M2、M3、.....(第1のメモリセル)より高いしきい

値、例えば4～6Vのしきい値の状態（ここでは、消去状態）となっている。メモリセルMnで形成したアイソレーション手段を同一のワード線につながっているメモリセルの例えば、8個毎に配置することで、第1の実施形態で説明したとおりの読み出し動作を行うことができる。

【0069】メモリセルM2を読み出す場合を例に説明する。1本のワード線につながるメモリセルMの読み出し動作は、図10の場合と同様に、1つのメモリセルMの読み出し動作を8回繰り返すことで、全メモリセルMを読み出ようとしている。また、メモリセルMのしきい値は、従来技術の場合と同様に、書き込み状態については2V以下、消去状態については4V以上の値とする。

【0070】まず、読み出しを行うべきメモリセルM2のコントロールゲート26が接続されているワード線WLには例えば、3Vの電圧を印加する。そして、メモリセルM2のソース22aには0Vの電圧を印加する。一方、サブビット線SBL2は、1Vの電圧にプリチャージした後、フローティング状態にする。また、メモリセルM2のソース22a側につながるメモリセル（メモリセルMnとメモリセルM1との間にさらにメモリセルが存在する場合）のドレインに接続するサブビット線SBLには0Vの電圧を印加する。一方、メモリセルM2のドレイン22b側につながるメモリセル（M3、M4、M5、……）のサブビット線（SBL3、SBL4、……）は1Vの電圧にプリチャージした後、フローティング状態にする。

【0071】このような電圧印加により、メモリセルM3、M4、M5、……が書き込み状態でしきい値の低い値（2V以下）となっても、バックゲート効果により、これらのメモリセルMを介して回り込み電流が流れることはない。よって、発生する電流は読み出すべきメモリセルM2を流れる電流のみとなる。メモリセルM2が書き込み状態の場合、セルに電流が流れ、それにより1Vの電位にプリチャージされたドレイン電圧が低下する。一方、メモリセルM2が消去状態であれば、セルに電流が流れないため、1Vにプリチャージされた電圧は低下しないことになる。このドレイン電圧の変化を、ドレインにつながっているビット線に接続されているセンス回路（不図示）にて検出し、データ“1”またはデータ“0”として読み出すことになる。

【0072】この読み出し動作を、アイソレーション手段のメモリセルMn間の各メモリセルに対し行うことで、同一のワード線につながっている全てのメモリセルMの読み出しを完了することができる。本実施形態では、8回の上記の読み出し動作を行うことで、同一のワード線につながっているすべてのメモリセルMの読み出しを完了することができる。

【0073】本実施形態によれば、不要な回り込み電流が発生しないため、従来技術で問題となった見かけ上、

しきい値が高い状態として検出されることによるしきい値分布の広がりはなく、その結果、読み出しマージンが不要に狭くなってしまいう問題は解決できる。

【0074】本実施形態によれば、装置の全てのレイアウトの規則性が、アイソレーション手段の形成により乱されることなく完全に保つことができる。このため、同一な露光条件やエッチング条件により、記憶/再生などを行う通常のメモリセルおよびアイソレーション手段としてのメモリセルを形成できる。すなわち、特性のそろったメモリセルを、アイソレーション形成の影響を受けることなく安定して製造することができる。

【0075】本実施形態に関し、アイソレーション手段用のメモリセルMnについて、他のメモリセルと共に消去を行う際に、消去電圧を印加する直前にメモリセルMnに書き込み電圧を印加して書き込みを行うことが好ましい。すなわち、一旦、アイソレーション手段用のメモリセルMnのしきい値を低下させることで、フローティングゲートの電位が過大に上昇しないようにする。こうすることにより、アイソレーション用のメモリセルMnが消去電圧の印加のみとなって、過度の消去によるフローティングゲートの電位の上昇が、フローティングゲートを覆う絶縁膜に過大な電界ストレスをかけ続けることでメモリセルの信頼性が損なう、という危険性が避けられる。

【0076】以上の説明は2値のしきい値をもつメモリセルについて行ったが、本発明は、より高集積化を図るために一つのメモリセルに3値以上のしきい値を導入する多値技術を応用する場合でも適用できる。より具体的には本発明は、不要な回り込み電流に起因する読み出し時のしきい値分布の広がりを防止できるから、多値化により読み出しマージンが減少する状況に対してその有効性が発揮できる。また、多値化とは別に、半導体記憶装置の低消費電力化に向けて、低電圧化に伴う読み出しマージンが減少する場合でも、本発明は有効である。

【0077】多値化を導入した場合、第2の実施形態におけるアイソレーション手段用のメモリセルMnを利用して、データ訂正用のECC（Error Correcting Code）データを書き込んでおくことができる。この場合、アイソレーション手段用メモリセルMnには、最もしきい値の高い値（図7における“11”の状態）、および一つレベルが低いしきい値の値（図7における“10”の状態）のいずれかをデータとして書き込むことで、ECC用データを記憶させることができる。

【0078】一定のデータ列毎にこのECCデータを付加することにより、データ列の記憶に誤りが生じていても、誤りを検出し、あるいはさらに訂正も可能となる。これにより、高集積化された半導体記憶装置の、記憶装置としての高信頼性化を実現することができる。このように、2つのしきい値状態のメモリセルMnを用いることで、アイソレーション手段は、その本来のアイソレー

17

ションの役割を果たすと同時に、データ記憶用としても使用可能である。これにより、メモリセルを高い効率で利用することができる。

【0079】なお、第1および第2の実施形態では、アイソレーション手段を同一のワード線につながるメモリセルの8個（1グループ）毎に配置する場合を例に説明したが、本発明はこのことに限定されない。1グループを例えば16個のメモリセルにしても良く、要するに、アイソレーション手段を一定間隔で適宜配置すればよい。

【0080】また、上記説明では、消去状態をしきい値の高い状態としていたが、消去状態および書き込み状態とは初期状態をどうするかとの定義の問題であり、書き込み状態をしきい値の高い状態とし、消去状態をしきい値の低い状態としても、本発明は適用できる。書き込み状態をしきい値の高い状態と定義した場合、第2の実施形態におけるアイソレーション手段用のメモリセルは、しきい値の高い状態（書き込み状態）のメモリセルを用いることは変わりがない。

【0081】以上の説明では、ACT型フラッシュメモリを用いて行ったが、本発明はACT型フラッシュメモリに限られるものではなく、隣接するメモリセルでビット線を共有化する仮想接地型アレイ構造をもつ不揮発性半導体記憶装置であれば、同様な効果が得られる。そして、高集積化を図るために拡散層や微細配線のような高抵抗の配線（ビット線）を用いて仮想接地型アレイ構造を構成する不揮発性半導体記憶装置に対しては、本発明は特に有効である。

【0082】

【発明の効果】以上説明した通り、本発明によれば、例えばACT型フラッシュメモリ素子をアレイ状に配列した、同一ビット線を2つのメモリセルが共有する仮想接地アレイ構造をもつ不揮発性半導体記憶装置において、ある一定間隔で不揮発性メモリ素子の間にアイソレーション手段を挿入することにより、メモリセル間で互いのデータ干渉のないデータ読み出し動作を実現することができる。

【0083】また、アイソレーション手段を構成する絶縁膜による構造を通常セルのチャネル領域となるべき所に配置することにより、フローティングゲートおよびビット線を一定間隔で連続的に形成することができ、プロセス中のフォトリソ工程でのばらつきを抑えることが可能と

18

なる。さらに、アイソレーション手段を通常メモリセルで形成し、そのメモリセルをデータ補正用の補助メモリとして使用することにより、アイソレーション手段によるエリアペナルティを最小限に抑えることができる。

【図面の簡単な説明】

【図1】従来例によるACT型フラッシュメモリの平面構成を示す図。

【図2】図1における線II-IIに沿った断面図。

【図3】書き込み時に各部分に印加される電圧を示した従来例のACT型フラッシュメモリの平面構成を示す図。

【図4】消去時に各部分に印加される電圧を示した従来例のACT型フラッシュメモリの平面構成を示す図。

【図5】読み出し時に各部分に印加される電圧を示した従来例のACT型フラッシュメモリの平面構成を示す図。

【図6】従来例による読み出し動作における問題を示すための図1の構成の部分的な平面図。

【図7】4値のデータをメモリセルに記憶する場合の、各データについてのしきい値分布の概略を示す図。

【図8】本発明による不揮発性半導体記憶装置の平面構成を示す図。

【図9】図8における線IX-IXに沿った断面図。

【図10】第1の実施形態による、読み出し時に各部分に印加される電圧を示した図9の構成の部分的な平面図。

【図11】第2の実施形態による、読み出し時に各部分に印加される電圧を示した図9の構成の部分的な平面図。

【符号の説明】

IS アイソレーション手段

M メモリセル

MBL メインビット線

SBL サブビット線

SG セレクトゲート選択信号線

Tr セレクトトランジスタ

WL ワード線

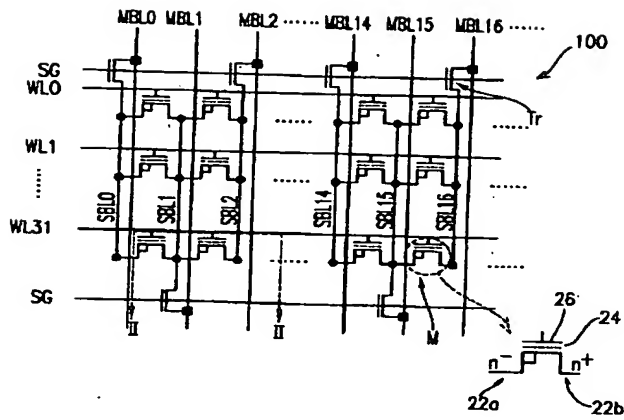
22a ソース

22b ドレイン

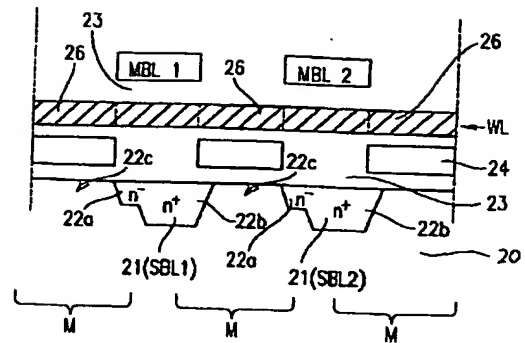
24 フローティングゲート

26 コントロールゲート

【図1】

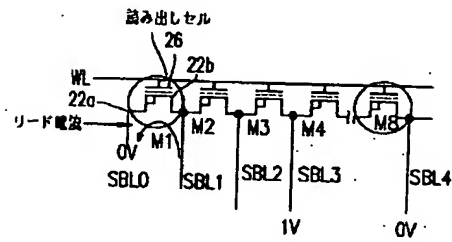
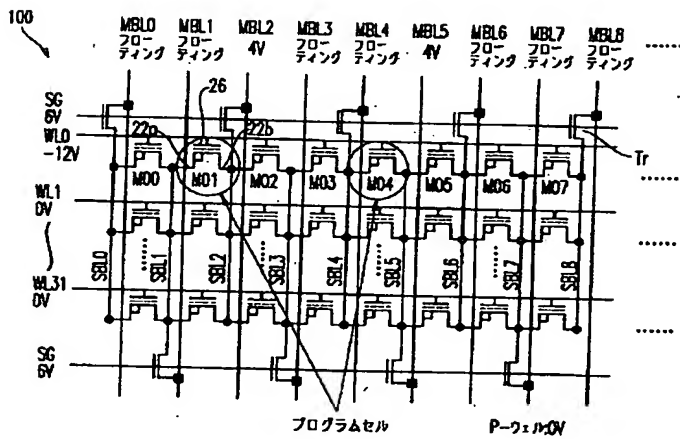


【図2】

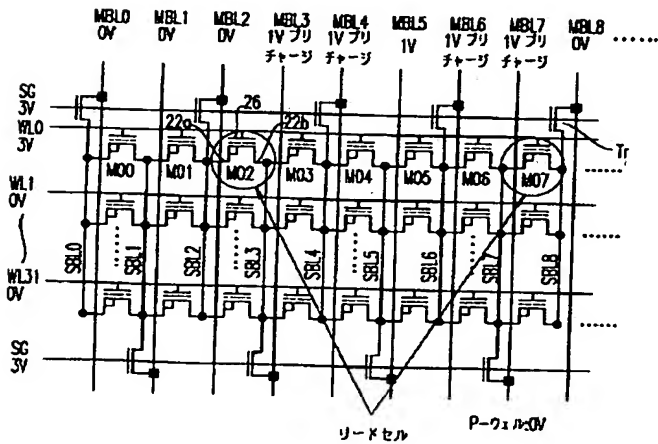


【図6】

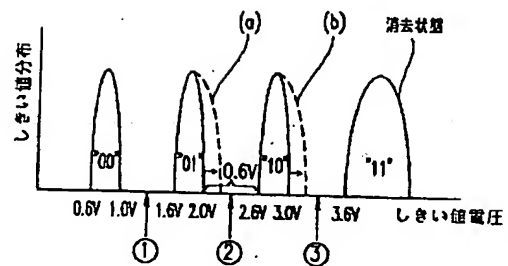
【図3】



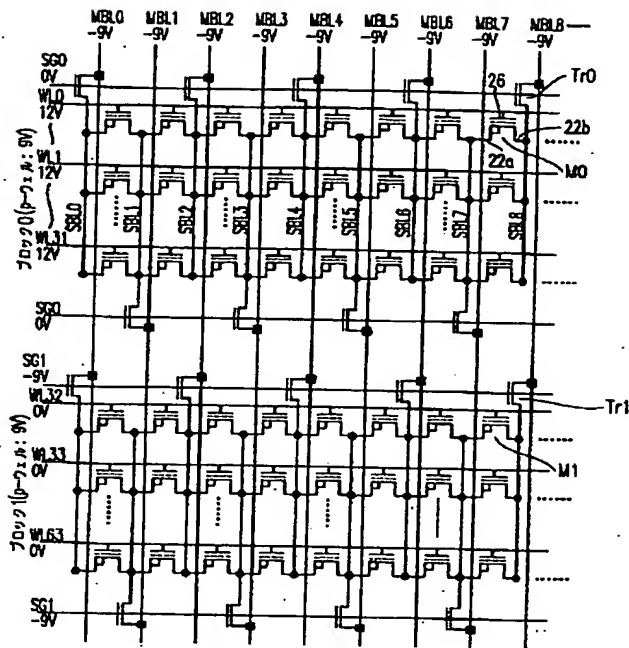
【図5】



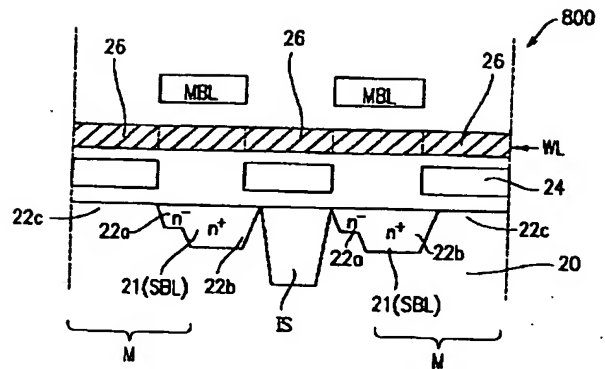
【図7】



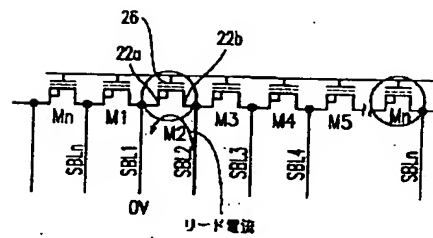
【図4】



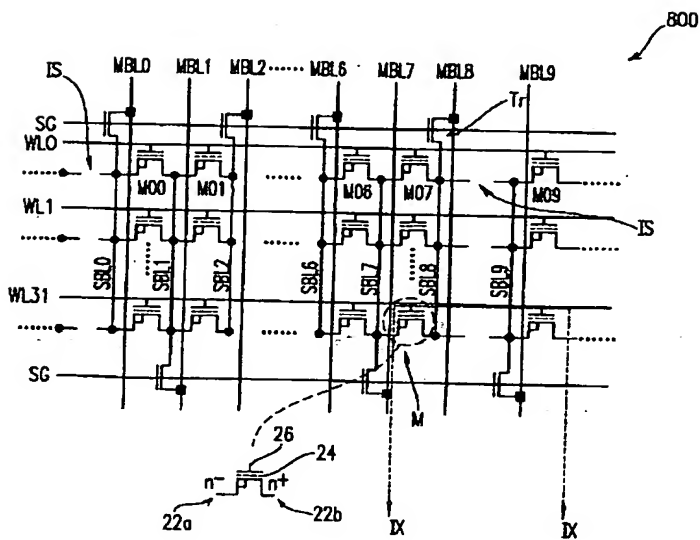
【図9】



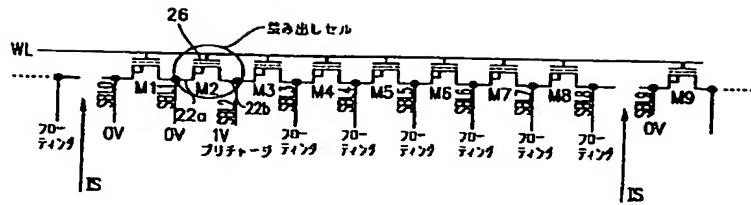
【図11】



【図8】



【図10】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 29/788

29/792